

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPTO)**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-039823  
 (43)Date of publication of application : 13.02.1998

(51)Int.Cl. G09G 3/20  
 G09G 3/36

(21)Application number : 08-221600 (71)Applicant : SHARP CORP  
 SEMICONDUCTOR ENERGY LAB CO LTD  
 (22)Date of filing : 22.08.1996 (72)Inventor : KUBOTA YASUSHI  
 KATO KENICHI  
 KOYAMA JUN  
 CHIMURA HIDEHIKO  
 TANAKA YUKIO

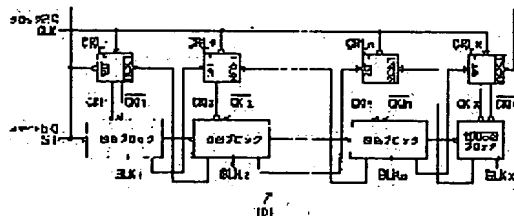
(30)Priority  
 Priority number : 08128830 Priority date : 23.05.1996 Priority country : JP

## (54) SHIFT REGISTER CIRCUIT AND PICTURE DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce power consumption in a shift register circuit by suppressing an increase of a circuit scale more than needed by using a clock signal control circuit CRL of a simple circuit constitution.

**SOLUTION:** A shift register circuit 101 is divided into circuit blocks of (n) pieces in the direction of a stage, clock signal control circuits CRLi are respectively provided corresponding to divided each circuit block BLKi (i is 1, 2,...,n), supply control of a clock signal in the prescribed control circuit out of clock signal control circuits is performed by an output signal of a latch circuit in pre-stage side circuit blocks BLKi-1 of a circuit block corresponding this circuit and post stage side circuit blocks BLK+1.



## LEGAL STATUS

[Date of request for examination]	18.09.2001
[Date of sending the examiner's decision of rejection]	07.10.2003
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3516323
[Date of registration]	30.01.2004
[Number of appeal against examiner's decision of rejection]	2003-21730
[Date of requesting appeal against examiner's decision of rejection]	06.11.2003
[Date of extinction of right]	

**THIS PAGE BLANK (USPTO)**



## 【特許請求の範囲】

【請求項1】 クロック信号に基づいて入力信号に応じた信号を出力するラッチ回路を複数直列に接続してなるラッチ回路群を有し、デジタル信号を該クロック信号に同期して順次転送するシフトレジスタ回路であって、該ラッチ回路群を、連続する所定数のラッチ回路に対応する複数の回路ブロックに分割した構成とし、該各回路ブロック毎に、該各回路ブロック内のラッチ回路へのクロック信号の供給を制御するクロック信号制御回路を備え、該クロック信号制御回路のうち所定のを、これに対応する回路ブロックの前段及び後段側の回路ブロック内のラッチ回路の出力信号によって該クロック信号の供給制御を行う構成としたシフトレジスタ回路。

【請求項2】 請求項1記載のシフトレジスタ回路において、前記所定のクロック信号制御回路はそれぞれ、対応する回路ブロックの前段のブロック内の最終段以前のラッチ回路の出力信号によって、該対応する回路ブロック内の各ラッチ回路へのクロック信号の供給を開始し、該対応する回路ブロックの次段の回路ブロック内の第2段目以降のラッチ回路の出力信号によって、該対応する回路ブロック内のラッチ回路へのクロック信号の供給を停止するものであるシフトレジスタ回路。

【請求項3】 請求項1または2記載のシフトレジスタ回路において、前記各ラッチ回路を構成するトランジスタ素子は、多結晶シリコンを構成材料とする薄膜トランジスタであるシフトレジスタ回路。

【請求項4】 請求項1ないし3のいずれかに記載のシフトレジスタ回路を用いたアクティブマトリクス型の画像表示装置であって、マトリクス状に配置された複数の画素、該画素の各列に対応して設けられた複数のデータ信号線、及び該画素の各行に対応して設けられた複数の走査信号線を有し、該走査信号線から供給される走査信号に同期して、該データ信号線から該画素に画像表示のための映像データが供給される液晶パネルを備えるとともに、該複数のデータ信号線に所定のタイミング信号に同期して順次該映像データを出力するデータ信号線駆動回路と、該複数の走査信号線に所定のタイミング信号に同期して順次該走査信号を出力する走査信号線駆動回路とを備え、該データ信号線駆動回路は、該シフトレジスタ回路を、映像データを取り込むためのサンプリング信号を各データ信号線に対応させて順次シフトする回路として含むものである画像表示装置。

【請求項5】 請求項1ないし3のいずれかに記載のシフトレジスタ回路を用いたアクティブマトリクス型の画像表示装置であって、マトリクス状に配置された複数の画素、該画素の各列に対応して設けられた複数のデータ信号線、及び該画素の

各行に対応して設けられた複数の走査信号線を有し、該走査信号線から供給される走査信号に同期して、該データ信号線から該画素に画像表示のための映像データが供給される液晶パネルを備えるとともに、該複数のデータ信号線に所定のタイミング信号に同期して順次該映像データを出力するデータ信号線駆動回路と、該複数の走査信号線に所定のタイミング信号に同期して順次該走査信号を出力する走査信号線駆動回路とを備え、該走査信号線駆動回路は、該シフトレジスタ回路を、該走査信号を各走査信号線に対応させて順次シフトする回路として含むものである画像表示装置。

【請求項6】 請求項4または5記載の画像表示装置において、前記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方は、該駆動回路を構成する回路素子として、前記液晶パネルを構成する基板上に画素を構成する素子とともに形成された素子を有するものである画像表示装置。

【請求項7】 請求項1または2記載のシフトレジスタ回路において、前記各ラッチ回路は、外部より入力される初期化信号によりその出力が非アクティブとなるよう構成されているシフトレジスタ回路。

【請求項8】 請求項7記載のシフトレジスタ回路において、前記ラッチ回路は、1個の同期型NAND回路または同期型NOR回路を備え、該同期型NAND回路または同期型NOR回路に前記初期化信号が入力されるようになっているシフトレジスタ回路。

【請求項9】 請求項1、2、7のいずれかに記載のシフトレジスタ回路において、前記クロック信号制御回路は、その制御信号である、対応する回路ブロックの前段及び後段側の回路ブロック内のラッチ回路の出力信号に拘わらず、外部からの初期化信号の入力により、該対応する回路ブロック内のラッチ回路へのクロック信号の供給を行う論理回路を備えたものであるシフトレジスタ回路。

【請求項10】 請求項7または9記載のシフトレジスタ回路を用いたアクティブマトリクス型の画像表示装置であって、マトリクス状に配置された複数の画素、該画素の各列に対応して設けられた複数のデータ信号線、及び該画素の各行に対応して設けられた複数の走査信号線を有し、該走査信号線から供給される走査信号に同期して、該データ信号線から該画素に画像表示のための映像データが供給される液晶パネルを備えるとともに、該複数のデータ信号線に所定のタイミング信号に同期して順次該映像データを出力するデータ信号線駆動回路と、該複数の走査信号線に所定のタイミング信号に同期して順次該走査信号を出力する走査信号線駆動回路とを

備え、  
該データ信号線駆動回路は、該シフトレジスタ回路を、  
映像データを取り込むためのサンプリング信号を各データ信号線に対応させて順次シフトする回路として含むものであり、

前記初期化信号は、本画像表示装置の電源投入時に該シフトレジスタ回路内に入力されるようになっている画像表示装置。

【請求項11】 請求項7または9記載のシフトレジスタ回路を用いたアクティブマトリクス型の画像表示装置であって、

マトリクス状に配置された複数の画素、該画素の各列に対応して設けられた複数のデータ信号線、及び該画素の各行に対応して設けられた複数の走査信号線を有し、該走査信号線から供給される走査信号に同期して、該データ信号線から該画素に画像表示のための映像データが供給される液晶パネルを備えるとともに、

該複数のデータ信号線に所定のタイミング信号に同期して順次該映像データを出力するデータ信号線駆動回路と、該複数の走査信号線に所定のタイミング信号に同期して順次該走査信号を出力する走査信号線駆動回路とを備え、

該走査信号線駆動回路は、該シフトレジスタ回路を、該走査信号を各走査信号線に対応させて順次シフトする回路として含むものであり、

前記初期化信号は、本画像表示装置の電源投入時に該シフトレジスタ回路内に入力されるようになっている画像表示装置。

【請求項12】 請求項7または9記載のシフトレジスタ回路を用いたアクティブマトリクス型の画像表示装置であって、

マトリクス状に配置された複数の画素、該画素の各列に対応して設けられた複数のデータ信号線、及び該画素の各行に対応して設けられた複数の走査信号線を有し、該走査信号線から供給される走査信号に同期して、該データ信号線から該画素に画像表示のための映像データが供給される液晶パネルを備えるとともに、

該複数のデータ信号線に所定のタイミング信号に同期して順次該映像データを出力するデータ信号線駆動回路と、該複数の走査信号線に所定のタイミング信号に同期して順次該走査信号を出力する走査信号線駆動回路とを備え、

該データ信号線駆動回路は、該シフトレジスタ回路を、映像データを取り込むためのサンプリング信号を各データ信号線に対応させて順次シフトする回路として含むものであり、

前記初期化信号は、垂直走査線期間毎に該シフトレジスタ回路内に入力されるようになっている画像表示装置。

【請求項13】 請求項7または9記載のシフトレジスタ

タ回路を用いたアクティブマトリクス型の画像表示装置であって、

マトリクス状に配置された複数の画素、該画素の各列に対応して設けられた複数のデータ信号線、及び該画素の各行に対応して設けられた複数の走査信号線を有し、該走査信号線から供給される走査信号に同期して、該データ信号線から該画素に画像表示のための映像データが供給される液晶パネルを備えるとともに、

該複数のデータ信号線に所定のタイミング信号に同期して順次該映像データを出力するデータ信号線駆動回路と、該複数の走査信号線に所定のタイミング信号に同期して順次該走査信号を出力する走査信号線駆動回路とを備え、

該走査信号線駆動回路は、該シフトレジスタ回路を、該走査信号を各走査信号線に対応させて順次シフトする回路として含むものであり、

前記初期化信号は、垂直走査線期間毎に該シフトレジスタ回路内に入力されるようになっている画像表示装置。

【請求項14】 請求項12または13記載の画像表示装置において、

前記初期化信号として、前記走査信号線駆動回路の走査開始信号を用いる画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はシフトレジスタ回路及び画像表示装置に関し、シフトレジスタ回路を構成するラッチ回路群を複数の回路ブロックに分割し、デジタル信号の転送が行われている回路ブロックのラッチ回路にのみクロック信号を選択的に供給するようにしたもの、及びこのような構成のシフトレジスタ回路をデータ信号線駆動回路などに用いたアクティブマトリクス型の画像表示装置に関する。

【0002】

【従来の技術】従来からシフトレジスタ回路は、種々の電子機器で広く利用されているが、ここでは特に段数が極めて多い画像表示装置の駆動回路に用いられるシフトレジスタ回路（以下、単にシフトレジスタともいう。）について説明する。

【0003】図8は、アクティブマトリクス型の液晶表示装置の概略構成を示す。図において、200は従来の液晶表示装置で、これは液晶パネル31とデータ信号線駆動回路32と走査信号線駆動回路33とを有している。液晶パネル31は、ガラスなどからなる2枚の透明基板を液晶を介して向かい合わせに配置したものである。そして、一方の透明基板には、M本のデータ信号線SL1～SLMとN本の走査信号線GL1～GLNとが縦横に基盤の目状に形成されると共に、これらデータ信号線SLi（iは1≤i≤Mの整数）と走査信号線GLj（jは1≤j≤Nの整数）の各交差部に画素PIXi,jがそ

れぞれ形成されている。

【0004】データ信号線駆動回路32は、データ信号DATをデータクロック信号CKSとデータスタート信号SPSによりサンプリングし、データ信号線SL1~SLMにそれぞれ振り分けて送出する駆動回路である。走査信号線駆動回路33は、走査クロック信号CKGと走査スタート信号SPGにより走査信号線GL1~GLNを順に1本ずつ走査して、データ信号線SL1~SLM上に送出された各データ信号DATを書き込むべき1行の画素PIX1,j~PIXM,jを選択する駆動回路である。

【0005】データ信号線駆動回路32がデータ信号DATを各データ信号線SLiに送出する方式としては、点順次駆動方式と線順次駆動方式とがある。点順次駆動方式は、データ信号DATをサンプリングするたびに順に各データ信号線SLiに送出する方式であり、線順次駆動方式は、1水平走査期間にわたって順次サンプリングしたデータ信号DATを一旦それぞれホールドし、これら1行分のデータ信号DATをデータ信号線SL1~SLMに一齐に送出する方式である。データ信号線駆動回路32は、いずれの方式の場合にもシフトレジスタを用いるが、ここでは、回路構成が簡単な点順次駆動方式を用いる場合について説明する。

【0006】このデータ信号線駆動回路32は、図9に示すように、M段のラッチ回路LT1~LTMからなるシフトレジスタ34を備え、データクロック信号CKSに同期してデータスタート信号SPSを順に各段のラッチ回路LTiで転送するようになっている。データスタート信号SPSは、1水平走査期間ごとに1パルスが出力されるパルス信号である。そして、各段のラッチ回路LTiから平行に出力されるこのデータスタート信号SPSのラッチ信号は、それぞれバッファ回路BUF1~BUFMを介してサンプリングスイッチASW1~ASWMの制御端子に入力される。各バッファ回路BUFiは、ラッチ回路LTiで保持されたデータスタート信号SPSを増幅し、必要に応じて反転して出力する回路であり、各サンプリングスイッチASWiは、制御端子の入力に応じて回路のON/OFFを行うアナログスイッチである。また、データ信号DATは、これらのサンプリングスイッチASW1~ASWMを介してそれぞれデータ信号線SL1~SLMに送出される。したがって、このデータ信号線駆動回路32は、1水平走査期間ごとに、データスタート信号SPSのパルスをシフトレジスタ34の各段のラッチ回路LTiで順に転送することにより、各サンプリングスイッチASWiを順にONにしてデータ信号DATをサンプリングし各データ信号線SLiに送出することができる。

【0007】走査信号線駆動回路33は、シフトレジスタを用いる方式とカウンタおよびデコーダを用いる方式とがあるが、回路構成が簡単で構成トランジスタ数が多いシフトレジスタを用いる方式を採用することが多

く、ここでも、この方式による場合について説明する。

【0008】この走査信号線駆動回路33は、図10に示すように、N段のラッチ回路LT1~LTNからなるシフトレジスタ35を備え、走査クロック信号CKGに同期して走査スタート信号SPGを順に各段のラッチ回路LTjで転送するようになっている。走査スタート信号SPGは、1垂直走査期間ごとに1パルスが出力されるパルス信号である。そして、各段のラッチ回路LTjから平行に出力されるこの走査スタート信号SPGのラッチ信号は、それぞれ第1バッファ回路BUF1,1~BUF1,Nを介して論理ゲートLOG1~LOGNに入力される。また、これらの論理ゲートLOG1~LOGNには、走査制御信号GPSもそれぞれ入力される。これら走査制御信号GPSと論理ゲートLOG1~LOGNは、走査を制御するためのものである。これら各論理ゲートLOGjの出力は、それぞれ第2バッファ回路BUF2,1~BUF2,Nを介して走査信号線GL1~GLNに接続される。したがって、この走査信号線駆動回路33は、1垂直走査期間ごとに、走査スタート信号SPGのパルスをシフトレジスタ35の各段のラッチ回路LTjで順に転送することにより、各走査信号線GLjを順にアクティブにすることができる。

【0009】液晶パネル31におけるデータ信号線SLiと走査信号線GLjの各交差部に形成される画素PIXi,jは、図11に示すように、スイッチ素子SWと液晶容量C1および補助容量Csからなる画素容量とによって構成される。スイッチ素子SWは、一方の透明基板上に形成されたMOSEFET構成の薄膜トランジスタ(TFT)であり、ゲートが走査信号線GLjに接続されている。液晶容量C1は、一方の透明基板上の当該画素PIXi,j内に形成された画素電極と他方の透明基板上の共通電極との間に液晶を介して形成される容量であり、補助容量Csは、この液晶容量C1に蓄積される電荷を補うために必要に応じてその一方の電極が一方の透明基板に設けられる容量素子である。そして、これら液晶容量C1の画素電極と補助容量Csの一方の電極が、スイッチ素子SWのソースドレイン間を介してデータ信号線SLiに接続されている。このため、上記走査信号線駆動回路33の走査により走査信号線GLjがアクティブになると、当該行の画素PIX1,j~PIXM,jの各スイッチ素子SWがONになり、上記データ信号線駆動回路32からデータ信号線SL1~SLMに送出されたデータ信号DATがそれぞれの画素PIX1,j~PIXM,jの液晶容量C1と補助容量Csに書き込まれる。したがって、この液晶表示装置は、データ信号DATに応じて液晶パネル31の各画素PIXi,jにおける液晶容量C1の印加電圧が変化するので、当該画素PIXi,jの液晶の透過率や反射率が制御されて、N行M列の画素による画像表示を行うことができる。

【0010】



【発明が解決しようとする課題】上記液晶表示装置のデータ信号線駆動回路 32 や走査信号線駆動回路 33 で用いられる従来のシフトレジスタ 34、35 のより具体的な構成を説明する。これらのシフトレジスタ 34、35 は、図 12 に示すように、ラッチ回路  $L T_1 \sim L T_K$  (ここでは  $K$  段とする) にクロック信号  $C L K$  (データクロック信号  $C K S$  または走査クロック信号  $C K G$ ) だけでなく、これを反転したクロック信号  $C L K$  バーも供給することにより、スタート信号  $S T$  (データスタート信号  $S P S$  または走査スタート信号  $S P G$ ) を順に転送して出力信号  $O U T_1 \sim O U T_K$  を得ようになっている。

【0011】また、これらのシフトレジスタ 34、35 における隣接する 2 段のラッチ回路  $L T_k$ 、 $L T_{k+1}$  ( $k$  は  $1 \leq k < K$  の奇数) の具体的な構成を図 13 に示す。前段のラッチ回路  $L T_k$  は、1 個のインバータ 1 と 2 個のクロックトインバータ 2、3 からなり、後段のラッチ回路  $L T_{k+1}$  は、1 個のインバータ 4 と 2 個のクロックトインバータ 5、6 からなる。クロックトインバータ 2、3 とクロックトインバータ 5、6 は、制御端子の入力がアクティブである場合には通常のインバータとして機能し、非アクティブである場合には出力をハイインピーダンスとする 3 状態バッファである。各ラッチ回路  $L T_k$ 、 $L T_{k+1}$  では、それぞれインバータ 1、4 と一方のクロックトインバータ 2、5 とが巡回状に接続されてフリップフロップ回路が構成されている。また、入力されるスタート信号  $S T$  をそれぞれ他方のクロックトインバータ 3、6 とインバータ 1、4 を介して次段に転送すると共に、これらクロックトインバータ 3、6 の出力から出力信号  $O U T_k$ 、 $O U T_{k+1}$  を得ようとしている。そして、クロック信号  $C L K$  は、前段のラッチ回路  $L T_k$  における他方のクロックトインバータ 3 の制御端子と後段のラッチ回路  $L T_{k+1}$  における一方のクロックトインバータ 5 の制御端子に供給され、反転されたクロック信号  $C L K$  バーは、前段のラッチ回路  $L T_k$  における一方のクロックトインバータ 2 の制御端子と後段のラッチ回路  $L T_{k+1}$  における他方のクロックトインバータ 6 の制御端子に供給されている。

【0012】上記シフトレジスタ 34、35 におけるラッチ回路  $L T_k$ 、 $L T_{k+1}$  では、クロック信号  $C L K$  がアクティブになると、前段のラッチ回路  $L T_k$  がスタート信号  $S T$  をクロックトインバータ 3 を介して取り込むと共に、後段のラッチ回路  $L T_{k+1}$  が入力をしや断して直前まで入力されていたスタート信号  $S T$  をインバータ 4 とクロックトインバータ 5 のフリップフロップ回路で保持する。また、次の半周期に反転されたクロック信号  $C L K$  バーがアクティブになると、前段のラッチ回路  $L T_k$  が入力をしや断して直前まで入力されていたスタート信号  $S T$  をインバータ 1 とクロックトインバータ 2 のフリップフロップ回路で保持すると共に、後段のラッチ回路  $L T_{k+1}$  がこのラッチ回路  $L T_k$  から入力されるスター

ト信号  $S T$  をクロックトインバータ 6 を介して取り込む。したがって、これらのラッチ回路  $L T_k$ 、 $L T_{k+1}$  は、クロック信号  $C L K$  の立ち上がり立ち下がりによって順次前段のスタート信号  $S T$  をラッチして次段に転送する動作を行う。

【0013】ところで、上記シフトレジスタ 34、35 では、1 水平走査期間や 1 垂直走査期間ごとに 1 パルスを送るだけなので、スタート信号  $S T$  の転送に伴う消費電力 (電源端子から見た消費電力) はそれほど大きくはならない。しかし、クロック信号  $C L K$ 、 $C L K$  バーは、各段のラッチ回路  $L T_k$  ( $k$  は  $1 \leq k \leq K$  の整数) のクロックトインバータ 2、3 やクロックトインバータ 5、6 の制御端子に入力され、1 水平走査期間や 1 垂直走査期間内にも繰り返し信号レベルが頻繁に変化する。しかも、上述のように、表示装置で用いられるこれらシフトレジスタ 34、35 の段数  $K$  は極めて多いものであり、 $640 \times 480$  ドットの  $V G A$  (Video Graphics Array) 規格の場合には、データ信号線駆動回路 32 で 640 段、走査信号線駆動回路 33 で 480 段が必要となる。また、 $1024 \times 768$  ドットの  $X G A$  (Extended Graphics Array) 規格の場合には、データ信号線駆動回路 32 で 1024 段、走査信号線駆動回路 33 で 768 段が必要となる。

【0014】このため、従来のシフトレジスタ 34、35 は、クロック信号  $C L K$  の信号線における寄生容量やクロックトインバータ 2、3、5、6 のゲート容量などを充放電するために大量の電流が流れ、消費電力が非常に大きくなるという問題があった。

【0015】また、上記アクティブマトリクス型の液晶表示装置は、液晶パネル 31 の透明基板上に非晶質 (amorphous) シリコン薄膜を成膜し、この非晶質シリコンを用いた薄膜トランジスタにより各画素  $P I X_{i,j}$  のスイッチ素子  $S W$  を構成することが多かった。この場合、データ信号線駆動回路 32 や走査信号線駆動回路 33 をそれぞれ外付けの  $I C$  (集積回路) として構成されている。しかし、近年では、液晶表示装置の大画面化に伴い、データ信号線駆動回路 32 や走査信号線駆動回路 33 の  $I C$  コストの削減や実装時の信頼性の向上などの要求が高まって来たことから、これらの駆動回路 32、33 を液晶パネル 31 の透明基板上に一体的に形成する技術も開発されている。この場合、駆動回路 32、33 のトランジスタや各画素  $P I X_{i,j}$  のスイッチ素子  $S W$  には、石英ガラスなどの耐熱透明基板上に成膜した多結晶 (poly-crystalline) シリコン薄膜による薄膜トランジスタを用いる。さらに、透明基板としてガラス基板を用い、ガラスの歪み点 (約  $600^\circ C$ ) 以下のプロセス温度で多結晶シリコン薄膜トランジスタを形成する試みもなされている。このような液晶表示装置 300 では、図 14 に示すように、液晶パネル 31 の透明基板上に画素  $P I X_{1,1} \sim P I X_{M,N}$  やデータ信号線  $S L_1 \sim S L_M$  およ

び走査信号線 G L1~G L N と共に、データ信号線駆動回路 3 2 a と走査信号線駆動回路 3 3 a がモノリシックに形成され、タイミング信号生成回路 3 6 や電源電圧生成回路 3 7 のみが外付けされることになる。なお、このような多結晶シリコン薄膜トランジスタを用いる場合には、データ信号線駆動回路 3 2 a に回路構成が簡単な上記点順次駆動方式が採用されることが多い。

【0016】ところが、多結晶シリコン薄膜トランジスタは、単結晶シリコン基板上に形成される通常の IC の単結晶シリコントランジスタに比べて素子特性が劣るために、素子サイズを大きくする必要があり、これに伴ってゲート容量も大きくなる。このため、上記データ信号線駆動回路 3 2 a や走査信号線駆動回路 3 3 a に従来のシフトレジスタ 3 4、3 5 を用いると、クロックインバータ 2、3、5、6 のゲート容量が大きくなるために、消費電力がさらに増大するという問題もあった。

【0017】なお、上記課題を解決するために、シフトレジスタを複数の回路ブロックに分割し、スタート信号のバルス部分が転送されている回路ブロックにのみクロック信号を供給して、このクロック信号による消費電力の増大を抑制する技術が特公昭 63-50717 号公報や特開昭 63-271298 号公報に開示されている。

【0018】特公昭 63-50717 号公報に記載のものは、分周回路で分周したクロック信号に同期させて、シフトレジスタを分割した回路ブロックの数に相当する段数を有する選択用のシフトレジスタでスタート信号を転送することにより、クロック信号の供給を必要とする回路ブロックを順次選択できるようにしたものである。また、クロック信号をカウントするカウンタと、このカウンタのカウント出力をデコードするデコーダによって回路ブロックの選択を行うようにしたものも開示されている。しかし、この公報記載のものでは、ブロックの選択のために分周回路と選択用のシフトレジスタやカウンタとデコーダが必要になり、回路規模が大幅に増大するという別の問題が生じる。

【0019】また、特開昭 63-271298 号公報に記載のものは、シフトレジスタを分割した各回路ブロックにクロック信号を供給し始める時期を、前段のブロックの転送出力に基づいて検出すると共に、このクロック信号の供給を終了する時期を自身のブロックの転送出力に基づいて検出するようにしたものである。しかし、この公報記載のものでは、クロック信号の供給開始と終了の時期を検出する回路が必要となるので、回路規模が増大するという別の問題が生じる。

【0020】本発明は、上記のような問題点を解消するためになされたもので、分割された各回路ブロックに供給するクロック信号を制御することにより消費電力の増加を抑制すると共に、このクロック信号の制御のために回路規模が必要以上に増大するのを防止することができるシフトレジスタ回路、及びこのシフトレジスタ回路を

用いた画像表示装置を得ることを目的としている。

【0021】

【課題を解決するための手段】この発明（請求項 1）に係るシフトレジスタ回路は、クロック信号に基づいて入力信号に応じた信号を出力するラッチ回路を複数直列に接続してなるラッチ回路群を有し、デジタル信号を該クロック信号に同期して順次転送するシフトレジスタ回路である。

【0022】このシフトレジスタ回路では、該ラッチ回路群を、連続する所定数のラッチ回路に対応する複数の回路ブロックに分割した構成とし、該各回路ブロック毎に、該各回路ブロック内のラッチ回路へのクロック信号の供給を制御するクロック信号制御回路を備え、該クロック信号制御回路のうち所定のものを、これに対応する回路ブロックの前段及び後段側の回路ブロック内のラッチ回路の出力信号によって該クロック信号の供給制御を行う構成としている。そのことにより上記目的が達成される。

【0023】この発明（請求項 2）は、上記請求項 1 記載のシフトレジスタ回路において、前記所定のクロック信号制御回路をそれぞれ、対応する回路ブロックの前段のブロック内の最終段以前のラッチ回路の出力信号によって、該対応する回路ブロック内の各ラッチ回路へのクロック信号の供給を開始し、該対応する回路ブロックの次段の回路ブロック内の第 2 段目以降のラッチ回路の出力信号によって、該対応する回路ブロック内のラッチ回路へのクロック信号の供給を停止する構成としたものである。

【0024】この発明（請求項 3）は、上記請求項 1 または 2 記載のシフトレジスタ回路において、前記各ラッチ回路を構成するトランジスタ素子を、多結晶シリコンを構成材料とする薄膜トランジスタとしたものである。

【0025】この発明（請求項 4）は、請求項 1 ないし 3 のいずれかに記載のシフトレジスタ回路を用いたアクティブマトリクス型の画像表示装置である。この画像表示装置は、マトリクス状に配置された複数の画素、該画素の各列に対応して設けられた複数のデータ信号線、及び該画素の各行に対応して設けられた複数の走査信号線を有し、該走査信号線から供給される走査信号に同期して、該データ信号線から該画素に画像表示のための映像データが供給される液晶パネルを備えている。またこの画像表示装置は、該複数のデータ信号線に所定のタイミング信号に同期して順次該映像データを出力するデータ信号線駆動回路と、該複数の走査信号線に所定のタイミング信号に同期して順次該走査信号を出力する走査信号線駆動回路とを備えている。そして、この画像表示装置では、該データ信号線駆動回路は、上記シフトレジスタ回路を、映像データを取り込むためのサンプリング信号を各データ信号線に対応させて順次シフトする回路として含むものとなっている。

【0026】この発明（請求項5）は、上記請求項1ないし3のいずれかに記載のシフトレジスタ回路を用いたアクティブマトリクス型の画像表示装置である。この画像表示装置は、マトリクス状に配置された複数の画素、該画素の各列に対応して設けられた複数のデータ信号線、及び該画素の各行に対応して設けられた複数の走査信号線を有し、該走査信号線から供給される走査信号に同期して、該データ信号線から該画素に画像表示のための映像データが供給される液晶パネルを備えている。また、この画像表示装置は、該複数のデータ信号線に所定のタイミング信号に同期して順次該映像データを出力するデータ信号線駆動回路と、該複数の走査信号線に所定のタイミング信号に同期して順次該走査信号を出力する走査信号線駆動回路とを備えている。そしてこの画像表示装置では、該走査信号線駆動回路は、上記シフトレジスタ回路を、該走査信号を各走査信号線に対応させて順次シフトする回路として含むものとなっている。

【0027】この発明（請求項6）は、上記請求項4または5記載の画像表示装置において、前記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を、該駆動回路を構成する回路素子として、前記液晶パネルを構成する基板上に画素を構成する素子とともに形成された素子を有する構成としたものである。

【0028】この発明（請求項7）は、上記請求項1または2記載のシフトレジスタ回路において、前記各ラッチ回路を、外部より入力される初期化信号によりその出力が非アクティブとなるよう構成したものである。

【0029】この発明（請求項8）は、上記請求項7記載のシフトレジスタ回路において、前記ラッチ回路を、1個の同期型NAND回路または同期型NOR回路を備え、該同期型NAND回路または同期型NOR回路に前記初期化信号が入力されるよう構成したものである。

【0030】この発明（請求項9）は、上記請求項1、2、7のいずれかに記載のシフトレジスタ回路において、前記クロック信号制御回路を、その制御信号である、対応する回路ブロックの前段及び後段側の回路ブロック内のラッチ回路の出力信号に拘わらず、外部からの初期化信号の入力により、該対応する回路ブロック内のラッチ回路へのクロック信号の供給を行う論理回路を備えた構成としたものである。

【0031】この発明（請求項10）は、請求項7または9記載のシフトレジスタ回路を用いたアクティブマトリクス型の画像表示装置である。この画像表示装置は、マトリクス状に配置された複数の画素、該画素の各列に対応して設けられた複数のデータ信号線、及び該画素の各行に対応して設けられた複数の走査信号線を有し、該走査信号線から供給される走査信号に同期して、該データ信号線から該画素に画像表示のための映像データが供給される液晶パネルを備えている。また、この画像表示装置は、該複数のデータ信号線に所定のタイミング信号

に同期して順次該映像データを出力するデータ信号線駆動回路と、該複数の走査信号線に所定のタイミング信号に同期して順次該走査信号を出力する走査信号線駆動回路とを備えている。そして、この画像表示装置では、該データ信号線駆動回路が、該シフトレジスタ回路を、映像データを取り込むためのサンプリング信号を各データ信号線に対応させて順次シフトする回路として含み、前記初期化信号が、本画像表示装置の電源投入時に該シフトレジスタ回路内に入力される構成となっている。

10 【0032】この発明（請求項11）は、上記請求項7または9記載のシフトレジスタ回路を用いたアクティブマトリクス型の画像表示装置である。この画像表示装置は、マトリクス状に配置された複数の画素、該画素の各列に対応して設けられた複数のデータ信号線、及び該画素の各行に対応して設けられた複数の走査信号線を有し、該走査信号線から供給される走査信号に同期して、該データ信号線から該画素に画像表示のための映像データが供給される液晶パネルを備えている。また、この画像表示装置は、該複数のデータ信号線に所定のタイミング信号に同期して順次該映像データを出力するデータ信号線駆動回路と、該複数の走査信号線に所定のタイミング信号に同期して順次該走査信号を出力する走査信号線駆動回路とを備えている。この画像表示装置では、該走査信号線駆動回路が、該シフトレジスタ回路を、該走査信号を各走査信号線に対応させて順次シフトする回路として含み、前記初期化信号が、本画像表示装置の電源投入時に該シフトレジスタ回路内に入力されるようになっている。

30 【0033】この発明（請求項12）は、上記請求項7または9記載のシフトレジスタ回路を用いたアクティブマトリクス型の画像表示装置である。この画像表示装置は、マトリクス状に配置された複数の画素、該画素の各列に対応して設けられた複数のデータ信号線、及び該画素の各行に対応して設けられた複数の走査信号線を有し、該走査信号線から供給される走査信号に同期して、該データ信号線から該画素に画像表示のための映像データが供給される液晶パネルを備えている。また、この画像表示装置は、該複数のデータ信号線に所定のタイミング信号に同期して順次該映像データを出力するデータ信号線駆動回路と、該複数の走査信号線に所定のタイミング信号に同期して順次該走査信号を出力する走査信号線駆動回路とを備えている。そして、この画像表示装置では、該データ信号線駆動回路が、該シフトレジスタ回路を、映像データを取り込むためのサンプリング信号を各データ信号線に対応させて順次シフトする回路として含み、前記初期化信号が、垂直走査線期間毎に該シフトレジスタ回路内に入力されるようになっている。

40 【0034】この発明（請求項13）は、上記請求項7または9記載のシフトレジスタ回路を用いたアクティブマトリクス型の画像表示装置である。この画像表示装置

は、マトリクス状に配置された複数の画素、該画素の各列に対応して設けられた複数のデータ信号線、及び該画素の各行に対応して設けられた複数の走査信号線を有し、該走査信号線から供給される走査信号に同期して、該データ信号線から該画素に画像表示のための映像データが供給される液晶パネルを備えている。また、この画像表示装置は、該複数のデータ信号線に所定のタイミング信号に同期して順次該映像データを出力するデータ信号線駆動回路と、該複数の走査信号線に所定のタイミング信号に同期して順次該走査信号を出力する走査信号線駆動回路とを備えている。そして、この画像表示装置では、該走査信号線駆動回路が、該シフトレジスタ回路を、該走査信号を各走査信号線に対応させて順次シフトする回路として含み、前記初期化信号が、垂直走査帰線期間毎に該シフトレジスタ回路内に入力されるようになっている。

【0035】この発明（請求項14）は、請求項12または13記載の画像表示装置において、前記初期化信号として、前記走査信号線駆動回路の走査開始信号を用いるものである。

【0036】以下、本発明の作用について説明する。

【0037】この発明（請求項1）においては、シフトレジスタ回路を構成する直列接続の複数のラッチ回路を、連続する所定数のラッチ回路に対応させて複数の回路ブロックに分割し、該各回路ブロック毎に、ラッチ回路へのクロック信号の供給を制御するクロック信号制御回路を備えたから、クロック信号のラッチ回路への供給を各回路ブロック毎に選択的に行うことが可能となり、同時にクロック信号が供給されるラッチ回路の個数を削減できる。この結果、回路ブロック内におけるクロック信号線の寄生容量、つまりラッチ回路の入力ゲート容量や配線容量などを駆動する際消費される電力を大幅に削減できる。

【0038】また、該クロック信号制御回路のうち所定のものを、これに対応する回路ブロックの前段及び後段側の回路ブロック内のラッチ回路の出力信号によって該クロック信号の供給制御を行うようにしているので、回路ブロックを選択するための回路構成が不要となる。さらに、この場合、回路ブロックを選択するための信号はシフトレジスタ回路の内部で発生されるので、該回路ブロックの選択信号をシフトレジスタ回路の外部から供給する場合の外部端子は不要である。

【0039】なお、初段の回路ブロックについては前段側の回路ブロックが存在しないので、この回路ブロックのクロック信号制御回路は、例えばシフトレジスタ回路の入力パルス信号が所定の信号レベルに変化することによってクロック信号の供給を開始させるようにしてもよく、他のなんらかの初期化動作によってクロック信号の供給を開始させるようにしてもよい。また、最後段の回路ブロックについても後段側のブロックが存在しないの

で、この回路ブロックのクロック信号制御回路は、さらに後段側に付加したダミーのラッチ回路群の出力信号によってクロック信号の供給を停止させるようにしてもよく、また、シフトレジスタ回路の入力パルス信号によってクロック信号の供給を停止させるようにすることもできる。

【0040】この発明（請求項2）においては、シフトレジスタ回路の各クロック信号制御回路は、対応する回路ブロックの次の回路ブロックにおける第2段目以降のラッチ回路の出力信号によってクロック信号の供給を停止するので、該対応する回路ブロックではその最終段のラッチ回路の出力信号が変化した後におけるクロック信号による少なくとも1周期の転送動作が保証され、この最終段のラッチ回路の出力信号を正常に元に戻すことができる。なお、各回路ブロックへのクロック信号の供給を開始するタイミングは、少なくとも、前段側の回路ブロックにおける最終段のラッチ回路の出力信号が所定の信号レベルに変化した直後に当該ブロックの転送動作が開始できるものであればよいので、各クロック信号制御回路での信号遅延がない限り、前段側の回路ブロックのいずれのラッチ回路の出力信号によってクロック信号の供給を開始してもよい。

【0041】この発明（請求項3）においては、シフトレジスタ回路における各回路ブロックのラッチ回路が、単結晶シリコントランジスタに比べてゲート容量が大きく素子特性も劣る多結晶シリコン薄膜トランジスタによって構成されているので、これらのラッチ回路での消費電力が大きいことから、この場合シフトレジスタ回路を複数の回路ブロックに分割して各回路ブロック毎に選択的に駆動することによる消費電力の削減効果がより一層顕著なものとなる。

【0042】この発明（請求項4）においては、アクティブマトリクス型の画像表示装置におけるデータ信号線駆動回路を構成するシフトレジスタ回路を、分割された複数の回路ブロック毎に選択的に駆動する構成としたので、データ信号線駆動回路における消費電力の削減により消費電力の少ないアクティブマトリクス型の画像表示装置を実現できる。

【0043】この発明（請求項5）においては、アクティブマトリクス型の画像表示装置における走査信号線駆動回路を構成するシフトレジスタ回路を、分割された複数の回路ブロック毎に選択的に駆動する構成としたので、走査信号線駆動回路における消費電力の削減により消費電力の少ないアクティブマトリクス型の画像表示装置を実現できる。

【0044】この発明（請求項6）においては、前記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を構成する回路素子を、画素が構成されている液晶パネルの基板上に形成しているので、画素と駆動回路とを同一基板上に同一プロセスで形成することが可能

となり、駆動回路の実装に要するコストの低減やその信頼性の向上を図ることができる。

【0045】この発明（請求項7）においては、外部より供給される初期化信号により、シフトレジスタ回路内の各ラッチ回路の出力を非アクティブとするようにしたので、電源投入時には、不定状態にある各ラッチ回路の内部ノードを強制的に非アクティブとすることができ、これにより、電源投入時に回路ブロックにおけるラッチ回路の出力によりその前段側の回路ブロックに対応するクロック信号制御回路がリセットされるのを回避でき、該クロック信号制御回路のリセットによる誤動作、つまりシフトレジスタ回路での走査が不能となるのを回避することができる。

【0046】この発明（請求項8）においては、ラッチ回路を、1個の同期型NAND回路または同期型NOR回路を備え、その同期型NAND回路または同期型NOR回路に初期化信号が入力される構成としたので、初期化信号が入力されている期間は、常に、各ラッチ回路の出力および内部ノードを強制的に非アクティブとすることができる。これにより、電源投入時にクロック信号制御回路がリセットされることによる誤動作（シフトレジスタ回路の走査不能）を回避することができる。

【0047】この発明（請求項9）においては、クロック信号制御回路を、その制御信号に拘わらず、該回路への初期化信号の入力により、対応する回路ブロック内のラッチ回路へのクロック信号の供給を行う論理回路を有する構成としているので、初期化信号が入力されている期間は、常に、各クロック信号制御回路が強制的にアクティブになってクロック信号が各ラッチ回路へ供給されることとなる。これにより、複数のラッチ回路を含むシフトレジスタ回路の正常な走査が実現され、各ラッチ回路の内部ノードを初期化することができる。

【0048】この発明（請求項10、11）においては、前記初期化信号を、電源投入時にシフトレジスタ回路に入力するようにしたので、電源投入時に発生するシフトレジスタ回路の誤動作を防止することができる。

【0049】この発明（請求項12、13）においては、前記初期化信号を、垂直走査帰線期間毎にシフトレジスタ回路に入力するようにしたので、電源投入時に初期化信号をシフトレジスタ回路に入力する構成では必要となる、電源投入を検知する手段を不要とでき、簡単な構成で、電源投入時に発生するシフトレジスタ回路の誤動作を防止することができる。

【0050】この発明（請求項14）においては、前記初期化信号として、走査信号線駆動回路の走査開始信号を用いるようにしたので、電源投入時に初期化信号をシフトレジスタ回路に入力する構成では必要となる、電源投入を検知する手段を不要とでき、しかも、上記初期化信号を新たな同期信号として追加する必要もなくなり、非常に簡単な構成で、電源投入時に発生するシフトレジ

スタ回路の誤動作を防止することができる。

【0051】

【発明の実施の形態】以下、本発明の実施形態について説明する。

【0052】（実施形態1）図1は本発明の実施形態1によるシフトレジスタ回路の概略構成を示すブロック図、図2は該シフトレジスタ回路の詳細な回路構成を示すブロック図である。

【0053】本実施形態では、1ビットのシフトレジスタ回路を段方向にラッチ回路m段ずつのn個の回路ブロックに分割した場合について説明する。ただし、本発明のシフトレジスタ回路の分割数や各回路ブロックにおけるラッチ回路の段数は任意であり、回路ブロックごとに段数が異なってもよい。また、複数ビットのシフトレジスタ回路にも同様に本発明を適用することができる。

【0054】図において、101は本実施形態のシフトレジスタ回路で、これは、図1に示すように、n個の回路ブロック（ラッチ回路群）BLK1～BLKnと、1個の付加回路ブロック（付加ラッチ回路群）BLKXと、これらの回路ブロックBLK1～BLKnおよび付加回路ブロックBLKXにそれぞれ対応して設けられたクロック信号制御回路CRL1～CRLnおよび付加クロック信号制御回路CRLXとによって構成されている。

【0055】n個の回路ブロックBLK1～BLKnは、入出力が順次直列に接続され、初段の回路ブロックBLK1の入力にスタート信号STが入力されるようになっている。付加回路ブロックBLKXは、最後段の回路ブロックBLKnの出力に接続された小規模なラッチ回路群である。なお、本実施形態のシフトレジスタ回路からシリアルに転送出力されるスタート信号STをさらに後段の回路が利用する場合には、この後段の回路の入力を最終段の回路ブロックBLKnの出力に接続すればよい。

【0056】上記シフトレジスタ回路のクロック信号CLKは、クロック信号制御回路CRL1～CRLnと付加クロック信号制御回路CRLXに入力され、それぞれ内部クロック信号CKI1～CKIn、CKIXとこれを反転した内部クロック信号CKI1バー～CKInバー、CKIXバーに変換されて、対応する回路ブロックBLK1～BLKnと付加回路ブロックBLKXに供給される。各クロック信号制御回路CRL1～CRLnと付加クロック信号制御回路CRLXは、それぞれセット端子SETとリセット端子RESETを備えている。そして、第2の回路ブロック以降に対応するクロック信号制御回路CRL2～CRLnと付加クロック信号制御回路CRLXのセット端子SETには、それぞれ対応する回路ブロックの1つ前の回路ブロックBLK1～BLKnのパラレル出力のいずれかが入力され、全てのクロック信号制御回路CRL1～CRLnのリセット端子RESETには、それぞ

れ対応する回路ブロックの1つ後の回路ブロックBLK2~BLKnまたは付加回路ブロックBLKXの第2段以降の平行出力のいずれかが入力される。また、初段に対応するクロック信号制御回路CRL1のセット端子SETと、付加クロック信号制御回路CRLXのリセット端子RESETには、スタート信号STが入力される。

【0057】上記回路ブロック（ラッチ回路群）BLK1~BLKnは、図2に詳細に示すように、それぞれm段に縦続接続されたラッチ回路LT1~LTmからなる。そして、クロック信号制御回路CRL1~CRLnから出力される内部クロック信号CKI1~CKInと内部クロック信号CKI1バー~CKInバーは、対応する回路ブロックBLK1~BLKnにおけるこれらのラッチ回路LT1~LTmにそれぞれ供給される。また、初段の回路ブロックBLK1のラッチ回路LT1~LTmの各出力は、mビットの出力信号OUT1,1~OUT1,mとしてそれぞれ外部にも送り出される。そして、以降の回路ブロックBLK2~BLKnのラッチ回路LT1~LTmも同様であり、これによってシフトレジスタ回路の平行出力であるn・mビットの出力信号OUT1,1~OUTn,mが外部に送り出されるようになっている。付加回路ブロックBLKXは、直列接続された2段のラッチ回路LT1, LT2からなる。そして、付加クロック信号制御回路CRLXから出力される内部クロック信号CKIXと内部クロック信号CKIXバーは、この付加回路ブロックBLKXにおけるこれらのラッチ回路LT1, LT2にそれぞれ供給される。

【0058】図2では、第2ブロック以降に対応するクロック信号制御回路CRL2~CRLnと付加クロック信号制御回路CRLXのセット端子SETに、それぞれその前段側の回路ブロックBLK1~BLKnにおける最終段のラッチ回路LTmの出力信号OUTi,m (iは1≤i≤nの整数)が入力されるようになっている。ただし、これらのセット端子SETには、より前方の任意の段のラッチ回路LT1~LTm-1の出力信号OUTi,1~OUTi,m-1を入力することもできる。また、全てのクロック信号制御回路CRL1~CRLnのリセット端子RESETには、それぞれその後段側の回路ブロックBLK2~BLKnまたは付加回路ブロックBLKXにおける第2段のラッチ回路LTmまたはラッチ回路LT2の出力信号OUTi,2または出力信号OUTXが入力されるようになっている。ただし、これらのリセット端子RESETには、より後方の任意の段のラッチ回路LT3~LTmの出力信号OUTi,3~OUTi,mを入力してもよい。なお、この場合には、付加回路ブロックBLKXのラッチ回路LT1~LT2を3段以上に増やす必要がある。

【0059】図3は、上記回路ブロックBLKiにおける隣接する2段のラッチ回路LTj, LTj+1 (jは1≤j<mの奇数)の具体的な構成を示している。これらの

ラッチ回路LTj, LTj+1は、図13に示したラッチ回路LTk, LTk+1 (kは1≤k<Kの奇数)と同じ構成であるが、クロック信号CLK, CLKバーに代えて、クロック信号制御回路CRLiの内部クロック信号CKIi, CKIiバーがクロックインバータ2, 3, 5, 6の制御端子に入力される。そして、これらのラッチ回路LTj, LTj+1におけるクロックインバータ3, 6の出力からは、出力信号OUTi,j, OUTi,j+1を得ることになる。なお、出力信号OUTi,j, OUTi,j+1は、上記インバータ1, 4の出力から得るようにしてもよい。

【0060】また、付加回路ブロックBLKXのラッチ回路LT1, LT2も同様の構成であり、付加クロック信号制御回路CRLXの内部クロック信号CKIX, CKIXバーがクロックインバータ2, 3, 5, 6の制御端子に入力される。したがって、これらのラッチ回路LTj, LTj+1は、内部クロック信号CKIiの立ち上がりと立ち下がりによって順次前段のスタート信号STをラッチして次段に転送する動作を行う。

【0061】図4は該シフトレジスタ回路を構成するクロック信号制御回路の構成を示しており、上記クロック信号制御回路CRLiは、図4に示すように、フリップフロップ回路7とNANDゲート8とインバータ9とからなる。フリップフロップ回路7は、2個のNORゲート10, 11の入出力を相互に接続してなるRSフリップフロップ回路を含む構成としたものである。そして、NORゲート10の他方の入力にセット端子SETを接続し、NORゲート11の他方の入力にリセット端子RESETを接続している。また、NORゲート10の出力からインバータ12を介してブロック選択信号Sbiを得るようになっている。したがって、セット端子SETの入力が一旦アクティブになると、ブロック選択信号Sbiがアクティブになり、その後にセット端子SETの入力が非アクティブに戻っても、ブロック選択信号Sbiのアクティブ状態が保持される。また、リセット端子RESETの入力が一旦アクティブになると、ブロック選択信号Sbiが非アクティブになり、その後にリセット端子RESETの入力が非アクティブに戻っても、ブロック選択信号Sbiの非アクティブ状態が保持される。

【0062】上記ブロック選択信号Sbiは、クロック信号CLKと共にNANDゲート8に入力され、このNANDゲート8の出力からインバータ9を介して内部クロック信号CKIiが送出される。また、このNANDゲート8の出力からは、内部クロック信号CKIiを反転した内部クロック信号CKIiバーが送出される。したがって、クロック信号制御回路CRLiは、セット端子SETの入力がアクティブになってからリセット端子RESETの入力がアクティブになるまでの期間にのみ、クロック信号CLKを内部クロック信号CKIiと

して供給すると共に、このクロック信号CLKを反転して内部クロック信号CKIバーとして供給する。そして、その他の期間には、これらの内部クロック信号CKI、CKIバーをそれぞれ異なる一定信号レベルに固定する。このように内部クロック信号CKI、CKIバーが一定信号レベルに固定されると、雑音などにより内部ノードの電位レベルが変化して回路ブロックBLKiが誤動作を起こすようなおそれなくなる。また、付加クロック信号制御回路CRLXも、このクロック信号制御回路CRLiと同じ構成となる。

【0063】次に動作について説明する。図5は該シフトレジスタ回路の動作を示すタイムチャートである。ただし、ここでは、各回路ブロック（ラッチ回路群）BLKiが16段（ $m=16$ ）のラッチ回路LT1～LT16で構成されているものとする。また、クロック信号CLKは、デューティ比が1:1のパルスが連続して出力されるものとする。さらに、スタート信号STは、クロック信号CLKの $8n$ 周期（ $=n \cdot m/2$ ）よりも少し長い周期を有し、各周期ごとにこのクロック信号CLKの1周期の期間（以降、期間Tという）だけHレベルに立ち上がるパルス信号であるとする。なお、ここでは、内部クロック信号CKI1～CKIn、CKIXのみを示し、内部クロック信号CKI1バー～CKInバー、CKIXバーについては省略して説明する。

【0064】まず、スタート信号STがHレベルに立ち上がると、クロック信号制御回路CRL1のセット端子SETがHレベル（アクティブ）となり、少し遅れてブロック選択信号SB1がHレベル（アクティブ）になるので、クロック信号CLKが内部クロック信号CKI1として回路ブロックBLK1に供給され始める。そして、この内部クロック信号CKI1が時刻t1に最初に立ち上がると、回路ブロックBLK1における第1段のラッチ回路LT1の出力信号OUT1.1がHレベル（アクティブ）となる。また、この内部クロック信号CKI1が時刻t2に立ち下がると、第2段のラッチ回路LT2の出力信号OUT1.2がHレベルとなる。これらの出力信号OUT1.1、OUT1.2は、それぞれ期間Tの後にLレベルに戻り、以降内部クロック信号CKI1の立ち上がり立ち下がりのたびに出力信号OUT1.3～OUT1.16が順に期間TずつHレベルとなる。

【0065】次に、時刻t3に上記出力信号OUT1.16（OUT1.m）がHレベルに立ち上がると、クロック信号制御回路CRL2のセット端子SETがHレベルとなり、少し遅れてブロック選択信号SB2がHレベルになるので、クロック信号CLKが内部クロック信号CKI2として回路ブロックBLK2に供給され始める。そして、この内部クロック信号CKI2が最初に立ち上がると、回路ブロックBLK2における第1段のラッチ回路LT1の出力信号OUT2.1がHレベルとなる。また、この内部クロック信号CKI2が時刻t4に立ち下がると、

第2段のラッチ回路LT2の出力信号OUT2.2がHレベルとなる。すると、クロック信号制御回路CRL1のリセット端子RESETがHレベルとなり、少し遅れてブロック選択信号SB1がLレベルに戻るため、内部クロック信号CKI1が一定のLレベルとなり、回路ブロックBLK1へのクロック信号CLKの供給が終了する。ただし、この内部クロック信号CKI1は、時刻t3の後も1パルス分が回路ブロックBLK1に供給されるので、この回路ブロックBLK1の最終段のラッチ回路LT16の出力信号OUT1.16は、期間Tの後の時刻t4に正常にLレベルに戻ることができる。したがって、回路ブロックBLK1は、ブロック選択信号SB1がHレベルに立ち上がるパルス部分が入力されると同時に転送動作を開始し、このパルス部分の転送が完了すると同時に転送動作を終了する。

【0066】この後も上記と同様の動作が繰り返されることにより、クロック信号CLKが順に内部クロック信号CKI2～CKInとして回路ブロックBLK2～BLKnにおける最終段のラッチ回路LT16の出力信号OUTn.16がHレベルになると、付加クロック信号制御回路CRLXのセット端子SETがHレベルとなり、少し遅れてブロック選択信号SBXがHレベルになるので、クロック信号CLKが内部クロック信号CKIXとして付加回路ブロックBLKXに供給され始める。そして、この付加回路ブロックBLKXにおける図5では図示しない第2段のラッチ回路LT2の出力信号OUTXがHレベルとなると、クロック信号制御回路CRLnのリセット端子RESETがHレベルとなり、少し遅れてブロック選択信号SBnがLレベルに戻るため、内部クロック信号CKInが一定のLレベルとなり、最終段の回路ブロックBLKnへのクロック信号CLKの供給が終了する。

【0067】ただし、この場合にも、内部クロック信号CKInは、時刻t5の後に1パルス分が回路ブロックBLKnに供給されるので、この回路ブロックBLKnの最終段のラッチ回路LT16の出力信号OUTn.16は、期間Tの後に正常にLレベルに戻ることができる。したがって、付加回路ブロックBLKXは、最終段の回路ブロックBLKnの転送動作を完全に終了させるために付加される。また、この後に内部クロック信号CKIXが数回立ち上がり立ち下りを繰り返すと、スタート信号STが再びHレベルに立ち上がって、付加クロック信号制御回路CRLXのリセット端子RESETがHレベルとなり、少し遅れてブロック選択信号SBXがLレベルに戻るため、内部クロック信号CKIXが一定のLレベルとなり、付加回路ブロックBLKXへのクロック信号CLKの供給が終了して、以降同様の動作を繰り返す。

【0068】以上説明したように、本実施形態のシフトレジスタは、スタート信号STがHレベルとなるパルス部分を転送する回路ブロックBLKiのみにクロック信

21

号CLKを供給することができる。したがって、このクロック信号CLKは、シフトレジスタ回路全体のほぼn分の1のラッチ回路LT1~LTmにのみ供給されるので、信号線における寄生容量やクロックインバータ2, 3, 5, 6のゲート容量などで消費される電力を大幅に削減することができる。

【0069】しかも、クロック信号CLKの供給の開始と終了のタイミングを、前後の回路ブロックBLK1~BLKnや付加回路ブロックBLKXのラッチ回路LTm, LT2の出力から取得するので、簡単な回路構成のクロック信号制御回路CRL1~CRLnと付加クロック信号制御回路CRLXを設けるだけで、他に特別の検出回路を設けることなくクロック信号CLKの供給を制御することができ、回路規模が必要以上に大きくなるおそれも生じない。また、外部にクロック信号CLKの供給を制御するための大規模な回路を接続する必要がないことから、実装面でも信頼性の向上やコストダウンに貢献することができる。

【0070】なお、上記実施形態1では、最終段の回路ブロックBLKnの後方に付加回路ブロックBLKXを接続したが、これは必ずしも必要ではない。

【0071】（実施形態2）図6は本発明の実施形態2によるシフトレジスタ回路の構成を示す図である。図において、102は本実施形態2のシフトレジスタ回路で、これは、実施形態1のシフトレジスタ回路101における付加回路ブロックBLKXを省略したものであり、この構成では、回路規模の増大をさらに抑制することができる。

【0072】この実施形態2では、クロック信号制御回路CRLnのリセット端子RESETには、スタート信号STを入力させる。上記実施形態1では、最終段の回路ブロックBLKnが転送動作を終了した後は、次にスタート信号STがHレベルに立ち上がるまで、付加回路ブロックBLKXの2段のラッチ回路LT1, LT2にのみクロック信号CLKが供給されていたが、この実施形態2のシフトレジスタ回路では、転送動作が終了した後も最終段の回路ブロックBLKnの16段のラッチ回路LT1~LTmにクロック信号CLKが供給され続けるので、スタート信号STの周期が長い場合には、消費電力の削減効果がわずかながら損なわれることになる。

【0073】なお、上記実施形態1及び2では、前段の回路ブロックBLKi-1における最終段のラッチ回路LTmの出力信号OUTi-1,mを、該当する回路ブロックBLKiのクロック信号制御回路CRLiのセット端子SETに入力しているが、このセット端子SETの入力としては、さらに前段側のラッチ回路LTjの出力信号OUTi-1,jを用いることもできる。クロック信号制御回路CRLiでの信号遅延がクロック信号CLKの周期に比べて十分に短くない場合には、より前段のラッチ回路LTjの出力信号OUTi-1,jを用いることにより、前段の

22

回路ブロックBLKi-1における最終段のラッチ回路LTmの出力信号OUTi-1,mがHレベルに変化している間に確実に当該回路ブロックBLKiの転送動作を開始させる必要がある。ただし、無駄に前段のラッチ回路LTjの出力信号OUTi-1,jを用いると、回路ブロックBLKiの転送動作が必要以上に早く開始されるので、消費電力の削減効果が阻害されることになる。

【0074】さらに、上記実施形態1及び2のシフトレジスタ回路では、次段の回路ブロックBLKi+1における第2段のラッチ回路LT2の出力信号OUTi+1,2をクロック信号制御回路CRLiのリセット端子RESETに入力しているが、このリセット端子RESETの入力には、次段の回路ブロックBLKi+1のさらに後段側のラッチ回路LTjの出力信号OUTi+1,jを用いることもできる。スタート信号STがクロック信号CLKの1周期以上にわたってHレベルとなる場合や、スタート信号STの1周期の間にHレベルとなるパルス部分が複数現れるような場合には、より後段のラッチ回路LTjの出力信号OUTi+1,jを用いることにより、このスタート信号STのパルス部分を全部確実に転送させる必要がある。ただし、無駄に後段のラッチ回路LTjの出力信号OUTi+1,jを用いると、回路ブロックBLKiの転送動作が必要以上に遅く終了するので、この場合にも消費電力の削減効果が阻害される。なお、スタート信号STのパルス部分が長い場合や複数ある場合にも、これらのパルス部分と1ブロック分より短くなければならず、次のパルス部分との間に1回路ブロック分以上にわたってLレベルが維持される期間がなければならない。

【0075】また、上記各実施形態のシフトレジスタ回路は、単結晶シリコントランジスタを用いて形成した場合にも有効であるが、特に多結晶シリコン薄膜トランジスタを用いて形成した場合に効果が顕著となる。これは、多結晶シリコン薄膜トランジスタの素子特性が単結晶シリコントランジスタに比べて劣るので、素子サイズを大きくする必要があり、これに伴って回路容量が大きくなることと、この素子特性が劣ることにより駆動電圧が高くなることから、クロック信号CLKによる消費電力がより大きくなるためである。

【0076】上記多結晶シリコン薄膜トランジスタは、図7に示すように、絶縁性の透明基板21の上にシリコン酸化膜22を介して成膜された多結晶シリコン薄膜23によって形成される。この多結晶シリコン薄膜23の上方には、ゲート酸化膜となるシリコン酸化膜24を介してゲート電極25が形成されると共に、これらの表面全体が保護膜となるシリコン酸化膜26で覆われる。そして、多結晶シリコン薄膜23のソース領域23aとドレイン領域23bには、シリコン酸化膜26, 24を貫通してソース電極27とドレイン電極28が接続されている。

【0077】（実施形態3）次に本発明の実施形態3に



よるアクティブマトリクス型画像表示装置について説明する。

【0078】この実施形態3の画像表示装置は、図8に示すアクティブマトリクス型の液晶表示装置200におけるデータ信号線駆動回路32及び走査信号線駆動回路33の少なくとも一方におけるシフトレジスタ回路34、35を、上記実施形態1または実施形態2のシフトレジスタ回路と同一の構成としたものである。

【0079】この画像表示装置では、これらのシフトレジスタ34、35は、1水平走査期間または1垂直走査期間ごとに1パルスのスタート信号を転送するだけなので、転送動作が必要となる回路ブロックBLKiは常にほぼ1ブロックだけとなり、これにより駆動回路で消費される電力を削減することができる。この場合、駆動回路32、33は、それぞれ単結晶シリコン基板上にICとして構成されるので、シフトレジスタ34、35は、単結晶シリコントランジスタにより形成されることになる。

【0080】この実施形態では、上記データ信号線駆動回路32のデータクロック信号CKSは、走査信号線駆動回路33の走査クロック信号CKGに比べて数百倍～千倍以上（VGA規格の場合に640倍、XGA規格の場合に1024倍）の周波数となるので、このデータ信号線駆動回路32のシフトレジスタ回路を各回路ブロック毎に選択的に駆動する構成とすることにより、極めて大きな効果を期待することができる。また、走査信号線駆動回路33のシフトレジスタ回路35の段数は非常に多いので（VGA規格の場合に480段、XGA規格の場合に768段）、該シフトレジスタ回路を各回路ブロック毎に選択的に駆動する構成とすることにより、十分な消費電力削減の効果をを得ることができる。

【0081】（実施形態4）次に本発明の実施形態4によるアクティブマトリクス型画像表示装置について説明する。

【0082】この実施形態4の画像表示装置は、図14に示すアクティブマトリクス型の液晶表示装置300におけるデータ信号線駆動回路32a及び走査信号線駆動回路33aの少なくとも一方におけるシフトレジスタ回路34、35を、上記実施形態1または実施形態2のシフトレジスタ回路と同一構成としたものである。

【0083】この画像表示装置では、データ信号線駆動回路32a及び走査信号線駆動回路33aは、液晶パネル31を構成する一対の基板の一方の上に、画素を構成する素子とともに形成されている。そして、これらのシフトレジスタ回路は、液晶パネル31の透明基板上に形成された多結晶シリコン薄膜トランジスタをその構成素子として有している。

【0084】この実施形態4では、上記実施形態3の効果に加えて、各回路ブロックのラッチ回路が、単結晶シリコントランジスタに比べてゲート容量が大きく素子特

性も劣る多結晶シリコン薄膜トランジスタによって構成されているので、これらのラッチ回路での消費電力が大きいことから、シフトレジスタ回路を複数の回路ブロックに分割して各回路ブロック毎に選択的に駆動することによる消費電力の削減効果がより一層顕著なものとなる。

【0085】以下、本発明の実施形態5～9について説明する。まず、実施形態5～9に対応する発明の基本原則を図15を用いて説明する。上記実施形態1、2のシフトレジスタ回路を構成する各ラッチ回路は、図3に示した回路構成より明らかなように、正帰還がかかる構成になっているので、電源投入時の内部状態によっては、該ラッチ回路の出力がアクティブになるものがある。

【0086】そして上記実施形態1、2に対応する発明の構成では、シフトレジスタ回路を構成する所定の回路ブロックにおけるある特定段のラッチ回路の出力パルスを用いて、該回路ブロックの前段及び後段の回路ブロックに対応するクロック信号制御回路を、クロック信号が回路ブロックへ供給される状態とクロック信号の供給が遮断される状態との間で制御しているので、電源投入時に、該所定の回路ブロックにおける特定段のラッチ回路がアクティブになっていると、その前段側の回路ブロックに対応するクロック信号制御回路にリセット信号が入力される状態が続き、クロック信号の該前段側の回路ブロックへの入力が増断されることとなる。その結果、この前段側の回路ブロック以降の回路ブロックでは、シフトレジスタ回路におけるスタート信号（走査開始信号）の走査（シフト動作）が行われないうことになる。

【0087】このような問題を回避するには、少なくとも電源投入時に、シフトレジスタ回路を構成する全てのラッチ回路の出力を強制的に非アクティブ状態にすることが必要である。

【0088】そこで、実施形態5～9に対応する発明に係るシフトレジスタ回路100aでは、図15に示すように、例えば図1のシフトレジスタ回路を構成する各回路部Bi（i：1～nの整数）、Bxに初期化信号INITを入力することにより、該各回路部における全てのラッチ回路の出力を該初期化信号INITにより強制的に非アクティブ状態にするようにしたり、該初期化信号により、全てのクロック信号制御回路が、クロック信号を回路ブロックへ供給する状態となるようにしたりしている。これにより、上述したような誤動作を防止している。ここで、回路部Bi（i：1～nの整数）、Bxは、図1に示すクロック信号制御回路CRLi（i：1～nの整数）、CRLx及び回路ブロックBLKi（i：1～nの整数）、BLKxをまとめて示すものである。

【0089】（実施形態5）図16は本発明の実施形態5によるシフトレジスタ回路の構成を示すブロック図、図17はこのシフトレジスタ回路を構成する回路ブロックにおける隣接する2段のラッチ回路LT<sup>j</sup>、LT<sup>j+1</sup>

を示す図である。

【0090】図において、105は本実施形態5のシフトレジスタ回路で、これは上記実施形態1のシフトレジスタ回路101における各回路ブロックBLKi、BLKxに代えて、スタート信号ST及び内部クロック信号CKli、CKlx、CKliバー、CKlxバーに加えて、初期化信号INITを受ける回路ブロックBLK'i、BLK'xを備え、該初期化信号INITにより各回路ブロックにおけるラッチ回路の出力を強制的に非アクティブ状態にするようにしたものである。なおここで、上記回路ブロックBLKi、BLK'i、内部クロック信号CKli、CKliバーにおける添字iは、1～nの整数である。

【0091】上記各回路ブロックBLK'iは、図1に示すシフトレジスタ回路101の各回路ブロックBLKiと同様、m段のラッチ回路を縦続接続してなる構成となっており、ここでは、隣接する2段のラッチ回路LT'j、LT'j+1は、1個のクロックトインバータ（同期型反転回路）3、6と、1個のインバータ（反転回路）1、4と、1個のクロックトNAND回路（同期型否定論理積回路）2a、5aとから構成されている。そして、クロックトインバータ3、6と、クロックトNAND回路5a、2aには、逆相のクロック信号CKli、CKliバーが同期信号として入力され、さらに該クロックトNAND回路2a、5aには、それぞれのラッチ回路LT'j、LT'j+1の出力と初期化信号INITとが入力されている。

【0092】つまり、上記図1に示すシフトレジスタ回路101の隣接する2段のラッチ回路LTj、LTj+1におけるフリップフロップを構成するクロックトインバータ2、5を、クロックトNAND回路（同期型否定論理積回路）2a、5aに置き換えた構成となっている。

【0093】このような構成において、少なくとも電源投入時に、全てのラッチ回路に初期化信号（この場合には負論理信号）を入力することで、全てのラッチ回路の出力を非アクティブ状態とすることができる。その結果、所定の回路ブロックBKLiの前段の回路ブロックBKLi-1に対応するクロック信号制御回路CRLi-1に、リセット信号が入力され続けるという事態を回避することができる、上述したような誤動作を防止することができる。

【0094】なお、上記実施形態5では、上記シフトレジスタ回路105の走査パルス（スタート信号）STが正論理であり、初期化信号INITが負論理である場合について示したが、上記シフトレジスタ回路105の走査パルス（スタート信号）STが負論理（逆符号）である場合には、上記クロックトNAND回路（同期型否定論理積回路）をクロックトNOR回路（同期型否定論理和回路）に置き換え、入力する初期化信号を正論理とすればよく、この場合も上記実施形態5と同様の作用効果

を得ることができる。

【0095】（実施形態6）図18は本発明の実施形態6によるシフトレジスタ回路の構成を示すブロック図、図19はこのシフトレジスタ回路を構成するクロック信号制御回路の詳細な構成を示す図である。

【0096】図において、106は本実施形態6のシフトレジスタ回路で、これは上記実施形態1のシフトレジスタ回路101におけるクロック信号制御回路CRLi（iは1～nの整数）、CRLxに代えて、クロック信号CLKとともに初期化信号INITを受けるクロック信号制御回路CRL'i（iは1～nの整数）、CRL'xを備え、該初期化信号INITにより、各クロック信号制御回路CRL'i、CRL'xを、セット信号SET、リセット信号RESETの状態に拘わらず全てのラッチ回路にクロック信号が供給される状態とするようにしたものである。

【0097】ここで上記クロック信号制御回路CRL'iは、上記実施形態1のシフトレジスタ回路101におけるクロック信号制御回路CRLi（図4参照）を構成するインバータ12に代えて、NAND回路（否定論理積回路）12aを備えたものである。つまり、上記クロック信号制御回路CRL'iは、図19に示すように、フリップフロップ回路7とNANDゲート8とインバータ9とからなり、該フリップフロップ回路7は、2個のNORゲート10、11の入出力を相互に接続してなるRSフリップフロップ回路を含む構成となっており、NORゲート10の他方の入力にセット端子SETを接続し、NORゲート11の他方の入力にリセット端子RESETを接続している。そして、NORゲート10の出力と上記初期化信号INITとが上記NAND回路12aの入力に接続されており、該NORゲート10の出力から該NAND回路12aを介してブロック選択信号Sbiを得ようになっている。ここで上記初期化信号INITは、負論理信号INITバーとなっている。また上記付加クロック信号制御回路CRL'xも上記クロック信号制御回路CRL'iと同一構成となっている。

【0098】このような構成の実施形態6では、少なくとも電源投入時に、全てのクロック信号制御回路CRL'i（iは1～nの整数）、CRL'xに初期化信号（この場合には負論理信号）を入力することで、上記フリップフロップ7がセットあるいはリセットの状態であるかに拘わらず、全てのラッチ回路にクロック信号が供給されるようにすることができる。

【0099】従って、この状態でパルス信号（スタート信号ST）を走査することにより、1走査期間後には、全てのラッチ回路の出力は非アクティブ状態となる。その結果、以降の走査期間においても、上述のような誤動作（シフトレジスタ回路の走査不能）を防止することができる。

【0100】なお、この実施形態6の構成では、上記前

述の実施形態5の構成とは異なり、各ラッチ回路としては通常の構成のものを用いることができ、このため、実施形態5に対して、動作速度の点で不利になることがないというメリットがある。

【0101】また、上記実施形態5ではラッチ回路にのみ初期化信号を入力するようにし、上記実施形態6ではクロック信号制御回路にのみ初期化信号を入力するようにしているが、初期化信号はラッチ回路及びクロック信号制御回路の両方に入力し、該初期化信号の入力により全てのラッチ回路の出力が非アクティブとなり、かつ該初期化信号の入力により全てのクロック信号制御回路が、対応するラッチ回路にクロック信号を供給する状態となるようにしてもよい。

【0102】（実施形態7）図20は本発明の実施形態7による画像表示装置を説明するための図である。この実施形態7の画像表示装置は、図8に示す従来の液晶表示装置におけるデータ信号線駆動回路32のシフトレジスタ回路34を、上記実施形態5あるいは6のシフトレジスタ回路と同一構成としたものである。そして、この実施形態7の画像表示装置では、上記初期化信号INITとして、図20に示す波形例のものを用いている。この波形の初期化信号INITは、電源投入後の最初の1水平走査期間だけ、アクティブ（ローレベル）となる負論理の初期化信号である。

【0103】このような初期化信号を入力することにより、電源投入後の最初の1水平走査期間内には、シフトレジスタ回路における全てのラッチ回路の出力を非アクティブ状態にすることができ、これにより、シフトレジスタ回路は、電源投入後の最初の1水平走査期間以降、電源を遮断するまで、正常に動作することとなる。

【0104】なお、この実施形態7では、上記実施形態5または6のシフトレジスタ回路の構成をデータ信号線駆動回路32に適用した場合を示したが、このシフトレジスタ回路の構成を、上記液晶表示装置における走査信号線駆動回路33のシフトレジスタ回路35に適用することもでき、この場合、初期化信号INITを、電源投入後の最初の1垂直走査期間だけ、アクティブ（ローレベル）となる負論理の初期化信号とすることで、上記実施形態7と同様の作用効果を得ることができる。

【0105】（実施形態8）図21は本発明の実施形態8による画像表示装置を説明するための図である。この実施形態8の画像表示装置は、図8に示す従来の液晶表示装置におけるデータ信号線駆動回路32のシフトレジスタ回路34を、上記実施形態5あるいは6のシフトレジスタ回路と同一構成としたものである。そして、この実施形態8の画像表示装置では、上記初期化信号INITとして、図21に示す波形例のものを用いている。この波形の初期化信号INITは、垂直走査期間が経過する毎に垂直走査帰線期間における最初の1水平走査期間だけ、アクティブ（ローレベル）となる負論理の初期化

信号である。

【0106】このような初期化信号を入力することにより、垂直走査帰線期間における最初の1水平走査期間内にシフトレジスタ回路における全てのラッチ回路の出力を非アクティブ状態にすることができ、シフトレジスタ回路は、電源投入後は実質的に正常な動作をすることとなる。

【0107】このように、電源投入時のみでなく、垂直走査期間毎に初期化信号をシフトレジスタ回路に入力する構成では、上記実施形態7のように電源投入時に初期化信号をシフトレジスタ回路に入力する構成で必要となる電源投入を検出する機構を備える必要がないので、シフトレジスタ回路の外部の構成が簡略化される。

【0108】なお、この実施形態8では、上記実施形態5または6のシフトレジスタ回路の構成をデータ信号線駆動回路に適用した場合の例を示したが、上記実施形態5のシフトレジスタ回路の構成は、上記液晶表示装置における走査信号線駆動回路33に適用することもでき、この場合も、上記実施形態8と同様の作用効果を得ることができる。

【0109】（実施形態9）図22は本発明の実施形態9による画像表示装置を説明するための図である。この実施形態9の画像表示装置は、図8に示す従来の液晶表示装置におけるシフトレジスタ回路34、35を、上記実施形態5あるいは6のシフトレジスタ回路と同一構成としたものである。そして、この実施形態9の画像表示装置では、垂直走査のスタートパルス（走査開始信号）SPGを、水平走査の初期化信号INITとしても利用するものである。

【0110】このとき、上記負論理の初期化信号INITの立ち下がりタイミングt0は、垂直走査のクロック信号CKGの立ち上がり（または立ち下がり）タイミングt1よりも前で、かつ初期化信号INITの立ち上がりタイミングt3は、垂直走査のクロック信号CKGの立ち下がり（または立ち上がり）タイミングt2よりも後にしている。

【0111】これは、実施形態7において全てのラッチ回路の内部ノードを非アクティブ状態にするには、初期化信号が1水平走査期間（すなわち、走査信号線駆動回路のクロック信号CKGの半周期分）にわたって入力され続ける必要があるからである。

【0112】このような初期化信号を入力することにより、1水平走査期間内に全てのラッチ回路の出力を非アクティブ状態にすることができ、シフトレジスタ回路は、電源投入後は実質的に正常な動作をすることとなる。

【0113】また、このように、垂直走査の開始信号SPGを初期化信号として用いることは、上記実施形態7のように電源投入を検出する機構を備える必要がないとともに、上記実施形態7、8のように初期化信号を新た

に生成する必要もないので、シフトレジスタ回路の外部の構成がより簡略化される。

#### 【0114】

【発明の効果】以上のように本発明によれば、シフトレジスタ回路における転送動作が必要となる回路ブロックにのみ順次クロック信号を供給するので、このクロック信号をシフトレジスタ回路全体に供給する場合に比べて信号線の寄生容量やラッチ回路のゲート容量などで消費される電力を大幅に削減することができる。しかも、前後の回路ブロックの出力信号に基づき簡単な回路構成のクロック信号制御回路によって、各回路ブロックへのクロック信号の供給を制御できるので、シフトレジスタ回路の規模が大きくなりすぎることなくなる。

【0115】また、本発明のシフトレジスタ回路を、アクティブマトリクス型の画像表示装置のデータ信号線駆動回路や走査信号線駆動回路に採用することにより、消費電力が少なく、かつ高品位の画像表示が可能な画像表示装置を実現することができる。

【0116】本発明によれば、シフトレジスタ回路における全てのラッチ回路の出力を初期化信号により強制的に非アクティブ状態にするようにしているので、電源投入時に回路ブロックにおけるラッチ回路の出力によりその前段側の回路ブロックに対応するクロック信号制御回路がリセットされるのを回避でき、該クロック信号制御回路のリセットによる誤動作、つまりシフトレジスタ回路での走査が不能となるのを回避することができる効果がある。

【0117】また、本発明によれば、初期化信号により、シフトレジスタ回路における全てのクロック信号制御回路が、クロック信号を回路ブロックへ供給する状態となるようにしているので、電源投入時に回路ブロックにおけるラッチ回路の出力によりその前段側の回路ブロックに対応するクロック信号制御回路がリセットされるのを回避でき、該クロック信号制御回路のリセットによる誤動作、つまりシフトレジスタ回路での走査が不能となるのを回避することができる効果がある。

#### 【図面の簡単な説明】

【図1】本発明の実施形態1によるシフトレジスタ回路の概略構成を示すブロック図である。

【図2】上記実施形態1のシフトレジスタ回路の詳細な構成を示すブロック図である。

【図3】上記実施形態1のシフトレジスタ回路を構成するラッチ回路の構成を示すブロック図である。

【図4】上記実施形態1のシフトレジスタ回路を構成するクロック信号制御回路の構成を示すブロック図である。

【図5】上記実施形態1のシフトレジスタ回路の動作を説明するための信号波形を示す図である。

【図6】本発明の実施形態2によるシフトレジスタ回路の詳細な構成を示すブロック図である。

【図7】上記実施形態1及び2のシフトレジスタ回路のトランジスタとして、採用される多結晶シリコン薄膜トランジスタの構造を示す縦断面図である。

【図8】従来及び本発明の実施形態3のアクティブマトリクス型の画像表示装置の概略構成を説明するためのブロック図である。

【図9】従来の画像表示装置のデータ信号線駆動回路の構成を示すブロック図である。

【図10】従来の画像表示装置のデータ信号線駆動回路の構成を示すブロック図である。

【図11】アクティブマトリクス型の画像表示装置における液晶パネルの画素の構成を示す図である。

【図12】従来の画像表示装置のデータ信号線駆動回路や走査信号線駆動回路に採用されているシフトレジスタ回路の具体的な構成を示すブロック図である。

【図13】従来のシフトレジスタ回路におけるラッチ回路の構成を示すブロック図である。

【図14】従来及び本発明の実施形態4によるアクティブマトリクス型の画像表示装置の概略構成を説明するためのブロック図である。

【図15】実施形態5～9に共通する発明の基本原理を説明するための図である。

【図16】本発明の実施形態5によるシフトレジスタ回路の構成を示すブロック図である。

【図17】上記実施形態5のシフトレジスタ回路を構成する回路ブロックにおける隣接する2段のラッチ回路 $L T' j$ 、 $L T' j+1$ の構成を示す図である。

【図18】本発明の実施形態6によるシフトレジスタ回路の構成を示すブロック図である。

【図19】上記実施形態6のシフトレジスタ回路を構成するクロック信号制御回路の詳細な構成を示す図である。

【図20】本発明の実施形態7による画像表示装置における、初期化信号の波形例を示す図である。

【図21】本発明の実施形態8による画像表示装置における、初期化信号の波形例を示す図である。

【図22】本発明の実施形態9による画像表示装置における、初期化信号の波形例を示す図である。

#### 【符号の説明】

32 データ信号線駆動回路

33 走査信号線駆動回路

34 シフトレジスタ

35 シフトレジスタ

101, 102, 105, 106 シフトレジスタ回路  
BLK1, BLK2, BLKn, BLKx 回路ブロック  
LT1, LT2, LTj, LTj+1, LTm, LT' j, LT' j+1 ラッチ回路

CRL1, CRL2, CRLi, CRLn, CRLx, CRL' i クロック信号制御回路

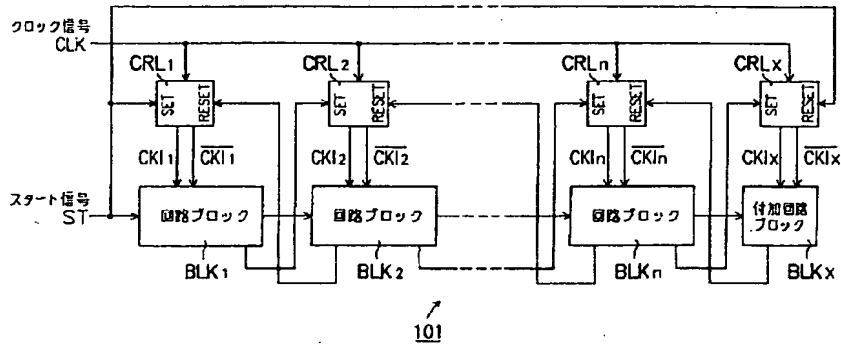
50 CLK クロック信号

INIT 初期化信号

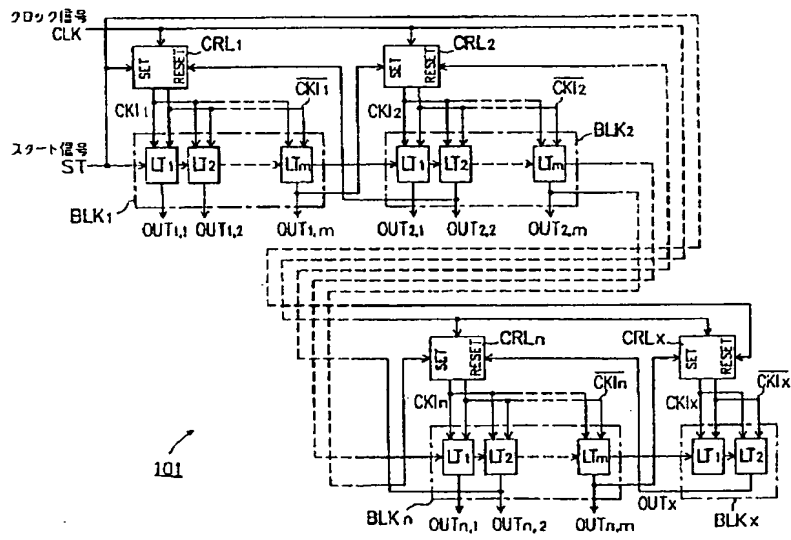
31

32

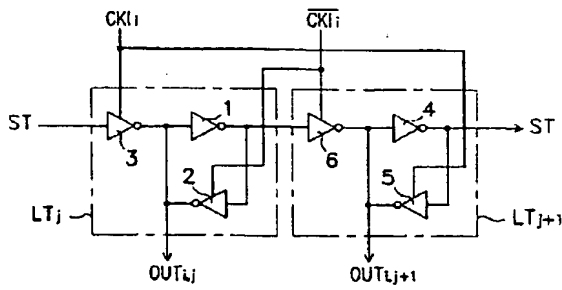
【図 1】



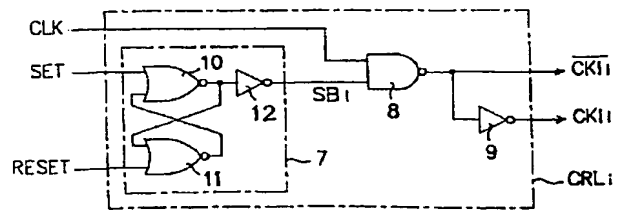
【図 2】



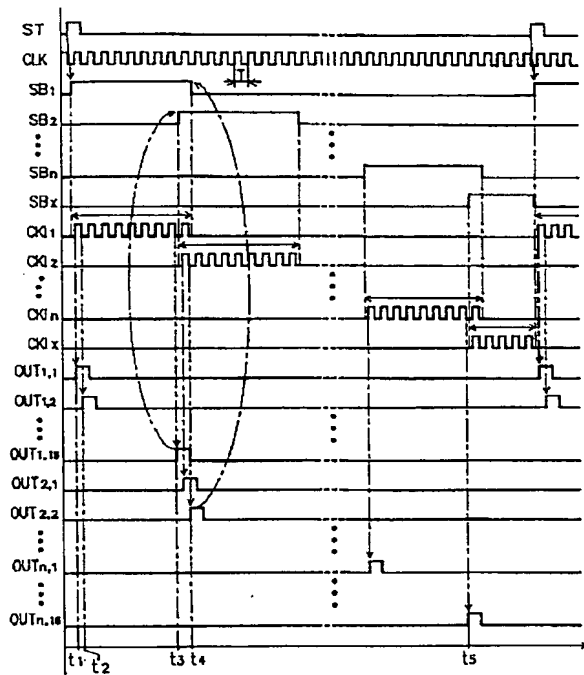
【図 3】



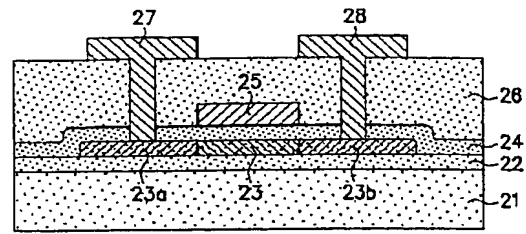
【図 4】



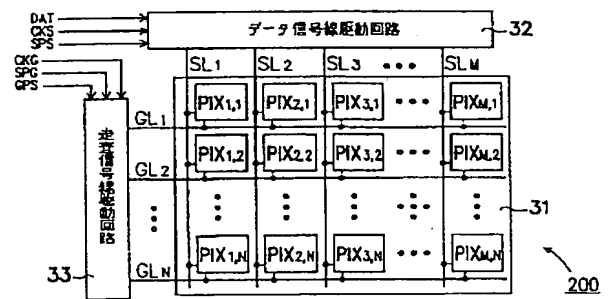
【図 5】



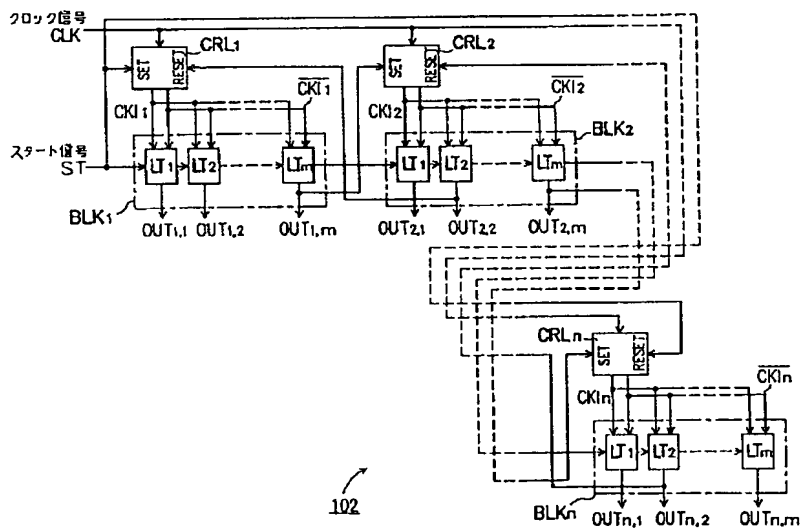
【図 7】



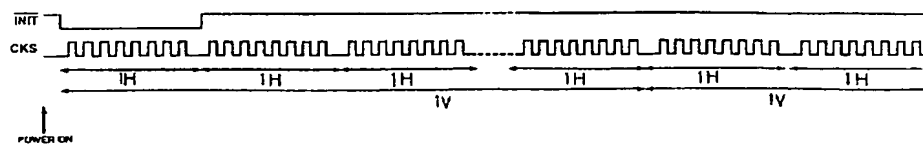
【図 8】



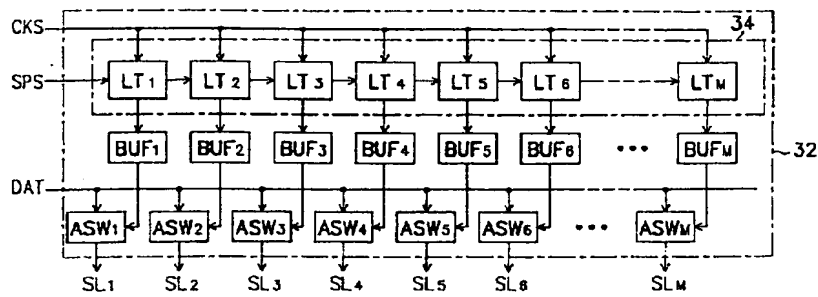
【図 6】



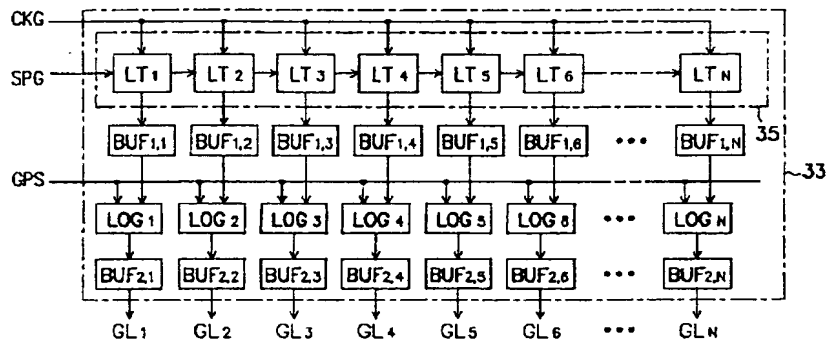
【図 20】



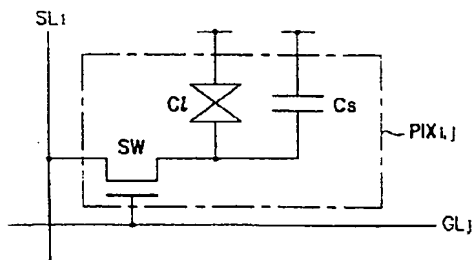
【図 9】



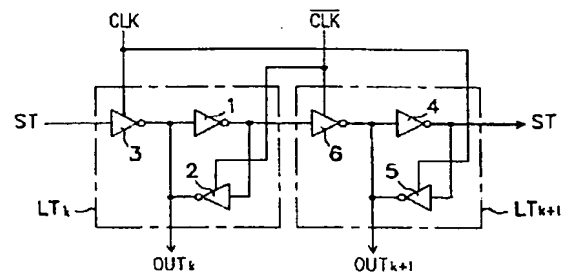
【図 10】



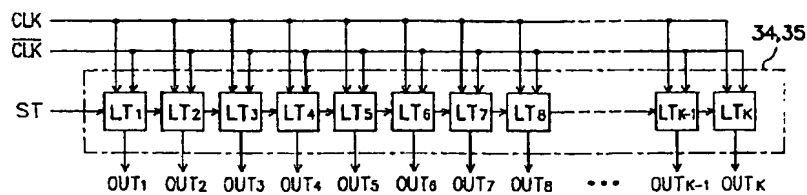
【図 11】



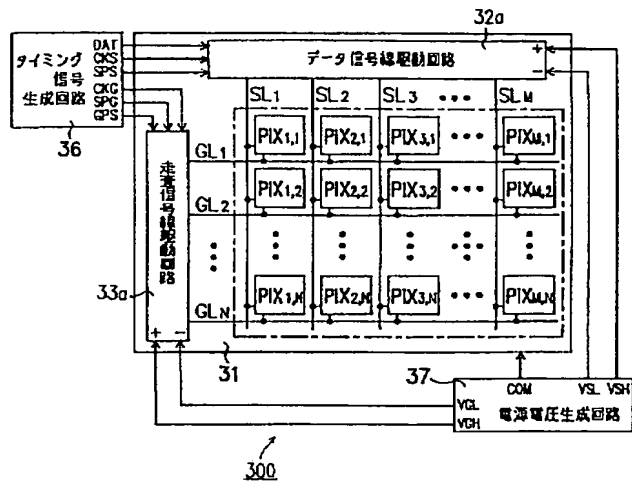
【図 13】



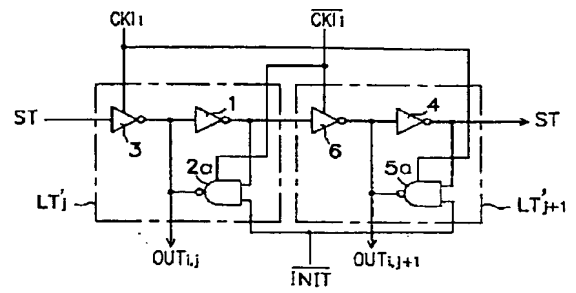
【図 12】



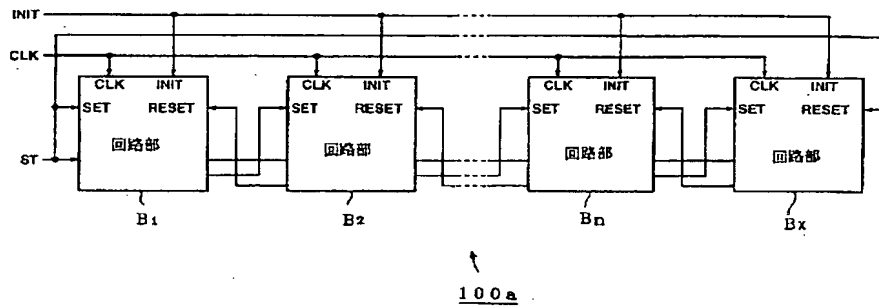
【図14】



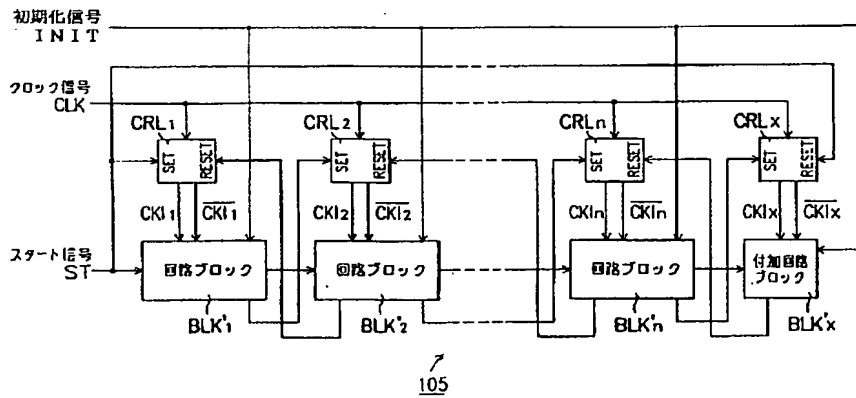
【図17】



【図15】

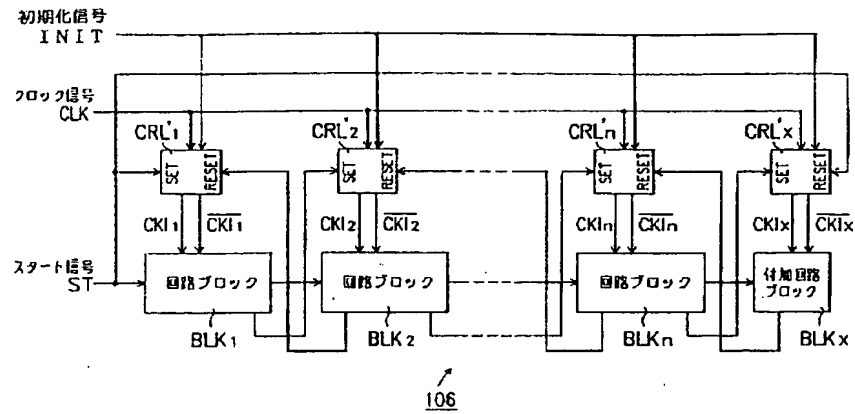


【図16】

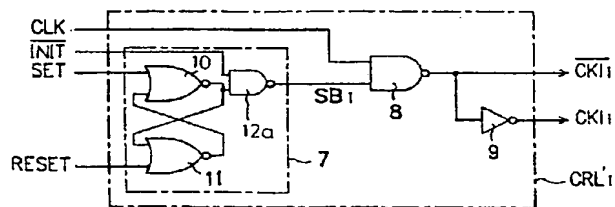




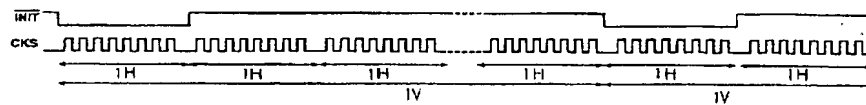
【図18】



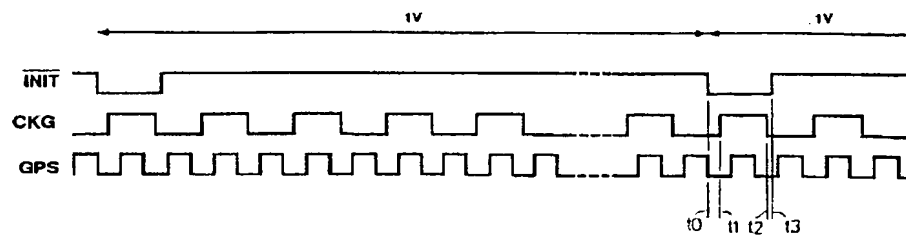
【図19】



【図21】



【図22】



フロントページの続き

(72)発明者 小山 潤  
神奈川県厚木市長谷398 株式会社半導体  
エネルギー研究所内

(72)発明者 千村 秀彦  
神奈川県厚木市長谷398 株式会社半導体  
エネルギー研究所内

(72) 発明者 田中 幸夫  
神奈川県厚木市長谷398 株式会社半導体  
エネルギー研究所内